

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-147598

(43)Date of publication of application : 24.06.1991

(51)Int.Cl.

G11C 19/00

(21)Application number : 01-284691

(71)Applicant : SONY CORP

(22)Date of filing : 02.11.1989

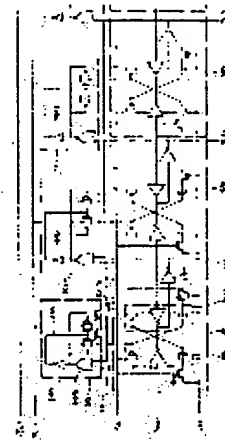
(72)Inventor : MAEKAWA TOSHIICHI

## (54) SHIFT REGISTER

### (57)Abstract:

PURPOSE: To reduce the power supplied to a clock line by supplying a clock only to a unit register of its stage only when data inputted to a shift register is such significant data that the state of each unit register is transited.

CONSTITUTION: Respective unit registers SR1 - SR3 are constituted so as to receive clock signals VCLK, signals, the inverse of VCLK from a clock line through a switch SW1 and SW2. Also, the switches SW1, SW2 are constituted so as to close at the time when data inputted to each unit register SR1 - SR3 becomes, for instance, H level. Accordingly, when single input signal data is inputted, a signal of H level is supplied to, for instance, only the unit register SR1 at a first timing. That is, when the transmitted data becomes a significant level, a clock is supplied selectively to only the unit register of its stage. In such a manner, the capacitive load of a clock line can be decreased, and the power consumption can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

⑤ 発明の名称 シフトレジスタ

⑫ 附 圖 大 平 1-284691

日 2 月 11 (6861) 1 本 題 市 ②

⑫ 発明者	駒川 敏一	⑭ 代理人	ソニ一株式会社
⑬ 出願人	ソニ一株式会社	⑮ 代理人	井理士 鵜 夫
⑭ 代理人	井理士 鵜 夫	⑯ 代理人	井理士 鵜 夫

⑫ 発明者 駒川 敏一 東京部品川区北品川6丁目7番35号

⑬ 出願人 ソニ一株式会社 東京部品川区北品川6丁目7番35号

⑭ 代理人 ソニ一株式会社 東京部品川区北品川6丁目7番35号

⑮ 代理人 井理士 鵜 夫 東京部品川区北品川6丁目7番35号

②代理人 尹 理 王 理 天

⑤ 田中 隆一 株式会社

⑫卷 明 孝 順 川 敏 一

日 2 月 11 (6861) 1 本 題 市 ②

⑫ 附 圖 大 平 1-284691

⑤ 発明の名称 シフトレジスタ

審査請求 未請求 請求項の数 5 (全10頁)

00/61 0 11 5

K 7131-5B

⑬公開 平成3年(1991)6月24日

⑫ 公開特許公報 (A) 平3-147598

註冊商標 註冊商標

⑬ 日本国特許庁 (J P)

I. 証明の仕方

4761466

## 2. 特殊請求の範囲

(1) 第1、および第2のクロマトグラフ

と第3のタイプから構成され、2組のフロア

국립중앙도서관에 소장된 원본과 비교하여

を概観整理したソフトレシエタにおいて、野村

模のユニツトにシテ又回路の入力及び出力ナラ

802 頁 4 行 1、2 用「及」字改為「而」字

ることが取組まれた後のエニヤトイフイテ同様に

の分間2相ノ口ヲモテ接シテ、

[illegible]

48473

[illegible][illegible][illegible]

ノローチヤイノク族聖尼各ラウシテス

745414.

従来のC-MOS (Complemental Metal Oxide

Semiconductor) を用いたシフトレジスタを第9

図に示す。

第9図において、 $Q_{n-1} \sim Q_n$ はP型の電界効果  
トランジスタ(以下、FETという)であり、  
 $Q_{n-1} \sim Q_n$ はN型のFETである。

シフトレジスタの各段 $S_R$ 、 $S_R$ 、... (S  
R、以下は省略する)は、FET $Q_{n-1}$ 、 $Q_n$ 及び  
FET $Q_{n-1}$ 、 $Q_n$ からなる第1のクロックイン  
プータIN $V_1$ と、このクロックインプータI  
N $V_1$ の出力をラッチする第2のクロックイン  
プータIN $V_2$ と、第3のクロックインプータ  
IN $V_3$ はFET $Q_{n-1}$ 、 $Q_n$ とFET $Q_{n-1}$ 、  
 $Q_n$ からなり、第3のインプータIN $V_3$ はFET  
 $Q_{n-1}$ とFET $Q_n$ からなっている。

次に、このシフトレジスタの動作を第10図を  
参照して説明する。

ユニタリレジスタ $S_R$ に供給されている入力  
信号 $V_{in}$ が第10図に示すように立ち上が

この発明は、特にC-MOSを用いたシフト  
レジスタ回路において、消費電力を低減したシフト  
レジスタに関するものである。

# 発明の概要

本発明のシフトレジスタは、第1のクロック  
インプータと、第2のクロックインプータおよ  
び第3のインプータからなるユニタリレジスタを備  
え、前記インプータのうち当該ユニタリレジ  
スタのみにクロック信号が供給されるようにした  
ものである。

そのためクロックインプータに供給されるクロック  
信号の消費電力を大幅に低減することが可能にな  
り、低消費電力型のシフトレジスタとすることが  
できる。

# 従来の技術

り、次のタイムシフトでクロック $V_{CK}$ が立ち上が  
り、相補クロック $V_{CLK}$ が立ち下がると、第1  
のクロックインプータIN $V_1$ の出力が $V_{in}$   
に立ち下がり、この出力は第3のインプータI  
N $V_3$ に入力される。  
従って、1段目ユニタリレジスタ $S_R$ の出力  
 $\phi$ 、すなわち、第3のインプータIN $V_3$ の出  
力は、入力信号 $V_{in}$ と同じレベルとなる。  
第3のインプータIN $V_3$ の出力は第2のクロ  
ックインプータIN $V_2$ の入力にも加えられ、  
クロック $V_{CLK}$ が反転すると、第2のクロック  
インプータIN $V_2$ が動作して、第3のインパ  
ータIN $V_3$ とで出力信号 $\phi$ をラッチする。  
このとき、2段目のユニタリレジスタ $S_R$ は  
1段目のユニタリレジスタ $S_R$ の出力 $\phi$ を設  
め込み、その出力 $\phi$ が $V_{in}$ になる。  
再びクロック $V_{CLK}$ が立ち上がると、既に立  
ち下がっている入力信号 $V_{in}$ を読み込み、そ  
の出力 $\phi$ はレベルになる。

# 発明が解決しようとする問題点

ところで、このような従来のシフトレジスタで  
は、クロック $V_{CLK}$ 、 $V_{CLK}$ のラインに接続  
段のユニタリレジスタ $S_R$ 、 $S_R$ が負荷され  
るため、かなり大きな容量が負荷される。  
各ユニタリレジスタ $S_R$ の容量は第11図に示  
すように、クロック $V_{CLK}$ のラインには、FET  
 $Q_{n-1}$ とFET $Q_n$ のゲート容量の和であるC  
( $Q_{n-1} + Q_n$ )が付加され、クロック $V_{CLK}$ の  
ラインには、FET $Q_{n-1}$ とFET $Q_n$ のゲート容  
量の和であるC ( $Q_{n-1} + Q_n$ )が付加される。  
この容量Cは、例えばMOSトランジスタの $\gamma$



CK-R, に示す信号がエニツトシタSR, に供給され、エニツトシタSR, にクロックが供給され、エニツトシタSR, の出力OUT, をHレベルにする。  
さらに、時点t, で示すように、クロックが遷移してLレベルになると、前述のように第3のインバータINV, とで出力信号OUT, のHレベルがラフチされる。トランスフーマー-ゲートSW,、SW, は開いたままである。なお、時点t, で出力OUT, がHレベルとなったときに2段目のエニツトシタSR, に、クロックスイチ回路SC, を介してクロックが供給され能動化される。  
次のタイミツク時点t, では、クロックVCLK, がHレベルになる前に、入力信号V<sub>input</sub>, はLレベルとなっているので、この時点t, でクロックVCLK, がHレベルになると、エニツトシタSR, はLレベルを渡り込んで、その出力OUT, をLレベルとする。  
出力OUT, がLレベルになると、エニツトシ

すなわち、エニツトシタOUT, の出力がHレベルになると、エニツトシタSR, の入力もHレベルとなる。そしてこの時点でエニツトシタSR, のクロックVCLK,、VCLK, が供給されるように、クロックスイチ回路SC,、のトランスフーマー-ゲートSW,、SW, がオシになる。  
以下、エニツトシタSR, の動作と同じ動作が順次後続のエニツトシタで行われ、入力信号V<sub>input</sub>, が順次シフトされる。  
なお、エニツトシタSR, に付加されているFEETQ<sub>out</sub>とFEETQ<sub>in</sub>,は、エニツトシタSR, にクロックVCLK,、VCLK, が供給されないときに、第1、第2のクロックフイソバ-INV,、INV, がフローチング状態となるのを防止するものであり、このフイソバ-フイソバ-Q<sub>out</sub>とフイソバ-フイソバ-Q<sub>in</sub>,によってクロックが供給されないときにも各エニツトシタ回路を安定な状態に保持する作用を持っている。

のシフトシタの動作を説明する。

時点t, では入力信号V<sub>input</sub>,がLレベルで、出力OUT, もLレベルであり、ノア-フイソバ-の出力がHレベルとなり、インバータINV, の出力VOR, はLレベルとなるので、トランスフーマー-ゲートSW,、SW, は開ける。  
従って、このようときにはクロックVCLK, 以上VCLK, はエニツトシタSR, に供給されない。  
次に第2図のタイムチャートのように時点t, で入力信号V<sub>input</sub>,が立ち上がりHレベルになると、ノア-フイソバ-の出力がHレベルになり、このノア-フイソバ-の出力はLレベルとなる。この出力をインバータINV, で反転したHレベル出力VOR, とがトランスフーマー-ゲートSW,、SW, に加わるので、両ゲートSW,、SW, とも開く。  
従って、このような状態でクロックVCLK, がHレベルに遷移すると、時点t, でCK-L,、

シタSR, の入力、出力がLレベルとなるので、トランスフーマー-ゲートSW,、SW, がその直後に閉じ、クロックVCLK,、VCLK, がエニツトシタSR, に供給されなくなる。  
トランスフーマー-ゲートSW,、SW, が開いている時点t, は、インバータINV, の出力であるVOR, に示すように、エニツトシタSR, の出力OUT, が立ち下がるまでの動作遅れ時間と、クロックスイチ回路SC, の動作遅れ時間とが重なる時間である。  
従って、トランスフーマー-ゲートSW,、SW, を通過したクロックVCLK,、VCLK, の波形状は、第2図CK-L,、CK-R, の如く、2つのクロックの前半の一部が通過した波形状となる。  
また、2段目のエニツトシタSR, の出力は、クロックVCLK, が立ち上がった時点t, で、出力OUT, を渡り込んで、その段の出力OUT, をHレベルとする。



がりであり、入力チータ  $V_{(input)}$  の立ち下がり点をラッチするのはクロック  $V_{CLK}$  の立ち下がり点をラッチすることを目してなされたものである。

すなわち第6図に示すように、入力信号  $V_{(input)}$  の立ち上がりによってトランスフーマー-ゲート  $S$ 、 $S_W$  のトランススタクタ  $Q_{no}$ 、 $Q_{po}$  が波形状  $A$  に示すようにオンとなり、出力  $OUT$  のチータが立ち下がった時にトランスフーマー-ゲート  $S_W$ 、 $S$  のトランススタクタ  $Q_{no}$ 、 $Q_{po}$  が波形状  $B$  に示すようにオフとなるように制御している。

したがって期間  $T$  の間はトランスフーマー-ゲート  $S_W$ 、 $S$  もオンになり、この期間  $T$  にクロック  $CK-L$ 、 $CK-R$  が通過し第1図の場合と同様な動作が行われる。

論理回路は通常のインバータに比較して遅延時間が大いだが、本実施例の場合はこの論理回路を省略することによって動作速度の向上をはかったものである。

この第5図の実施例の場合は、トランスフーマー

従って、このアルタラック  $FE T_{no}$ 、 $FE T_{po}$  のかわりに、第4図に示すようにアルタラック抵抗  $R$ 、アルタラック抵抗  $R$  を用いてもよい。

以上の実施例は、有差の信号が正論理のときに動作するように構成されているが、シフトレジスタが負論理のときは、各クロック入力チータ回路  $SC$  のノアゲート  $NOR$  をチータゲートに置き換えるればよい。

この図で、第1図と同一部分は同一記号で示されている。

しかしながら、この実施例の場合はクロック入力チータ回路  $SC$ 、 $(SC, \dots)$  は論理回路が省略され、トランスフーマー-ゲート  $S_W$ 、 $S$ 、 $FE T_{no}$ 、 $Q_{po}$  で構成されている。

この実施例は、入力チータ  $V_{(input)}$  が立ち上がる点をラッチするのはクロック  $V_{CLK}$  の立ち上

ゲート  $S_W$ 、 $S$ 、 $S_W$  と同じ形型の  $TFT$  で構成することになるため、 $S_W$ 、 $S$  は  $TFT$  のアルタラック抵抗の影響をうけて第7図の拡大図に示すように、 $V$ 、又は  $V$ 、だけ  $FE T_{po}$  が若干低下するが、特にシフト動作に影響を与えるほどのものではない。(なお、 $V$ 、 $V$ 、は入力チータ時にアルタラック、又はアルタラック  $TFT$  を介して流れる電流による電圧降下を示すが、この値はきわめて小さい)

第8図は、本発明のさらに他の実施例を示したもので、第5図のトランスフーマー-ゲート  $S_W$ 、 $S$  に対して、それぞれ逆の形型のトランスフーマー-ゲート  $S_W$ 、 $S$  を並列に接続したものである。

この実施例によると、クロック信号  $V_{CLK}$  及び  $V_{CLK}$  は、それぞれ並列に接続された相補型のトランスフーマー-ゲート ( $S_W$ 、 $S_W$ )、( $S$ 、 $S$ ) を介して供給されることになるため、正負又は負の電位に対してアルタラック

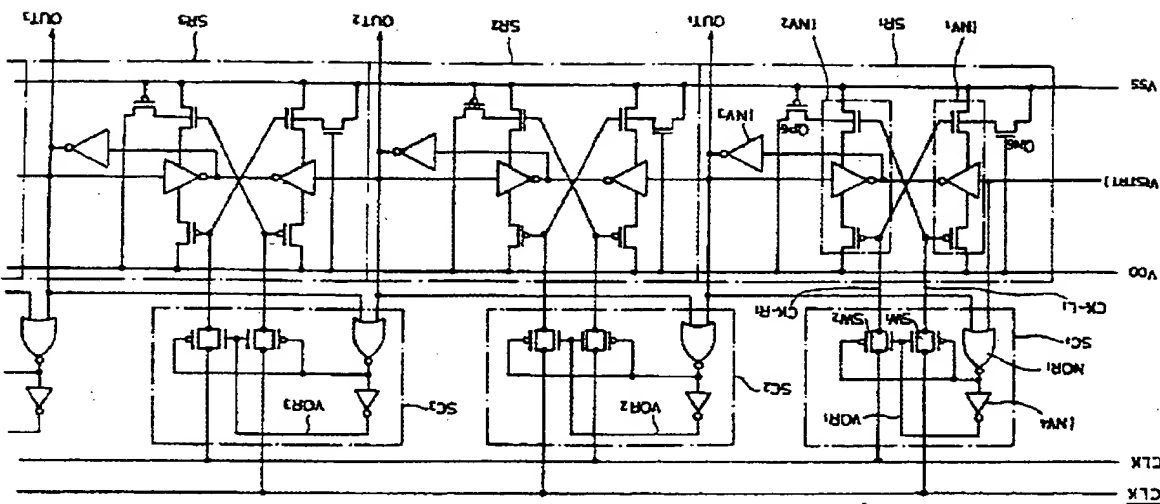
特に、シフトレジスタによって多相パルスを発生する多相パルス発生器、又は遅延パルス発生器を構成する場合は、シフト段数が増加するほど、電力の節約効果が大きくなり、クロック信号のチータが削減できると同時に、クロックを  $TTL$  レベルで供給することができるという利点もある。

型 FET、Q<sub>n1</sub>~Q<sub>n4</sub>はN型FET、SR<sub>1</sub>~SR<sub>3</sub>はユニツレジスタを示す。



代理人 野 天

- 第2図は第1図のタイムリジチャート、  
第3図は本発明の概略図、  
第4図は他のアルファ及びアルファ手段の回路図、  
第5図は本発明の他の実施例を示す回路図、  
第6図は第5図のタイムリジチャート、  
第7図は第6図の信号の部分的な拡大図、  
第8図は本発明のさらに他の実施例を示す回路図、  
第9図は従来のツプレジスタを示す回路図、  
第10図は従来のタイムリジチャート、  
第11図は従来のクロックラインに付く負荷容量の説明図である。
- 図中  
INV<sub>1</sub>、~INV<sub>1</sub>はクロックインバータ、  
INV<sub>2</sub>はインバータ、SC<sub>1</sub>、~SC<sub>1</sub>はクロックスイッチ回路、SW<sub>1</sub>、SW<sub>2</sub>はツプレジスタートからなるスイッチング手段、Q<sub>n1</sub>~Q<sub>n4</sub>はP



第1図

圖 3

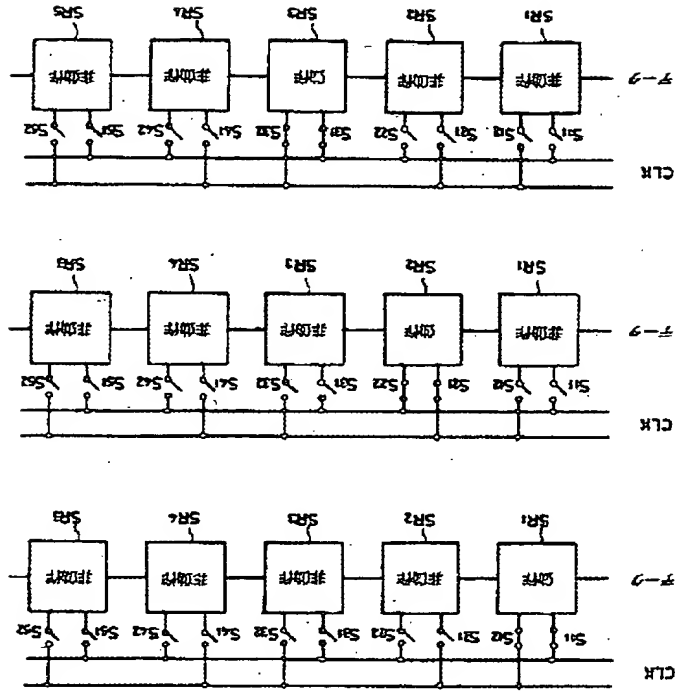


圖 2

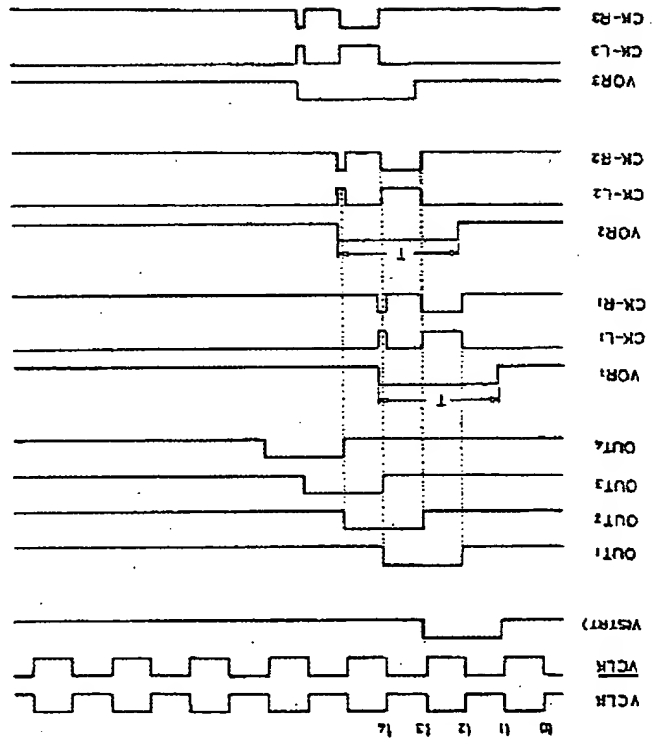
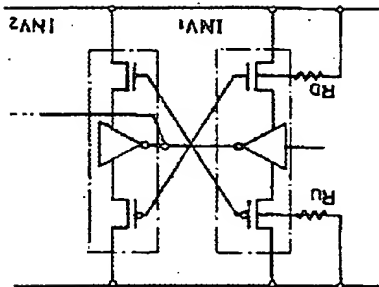


圖 4



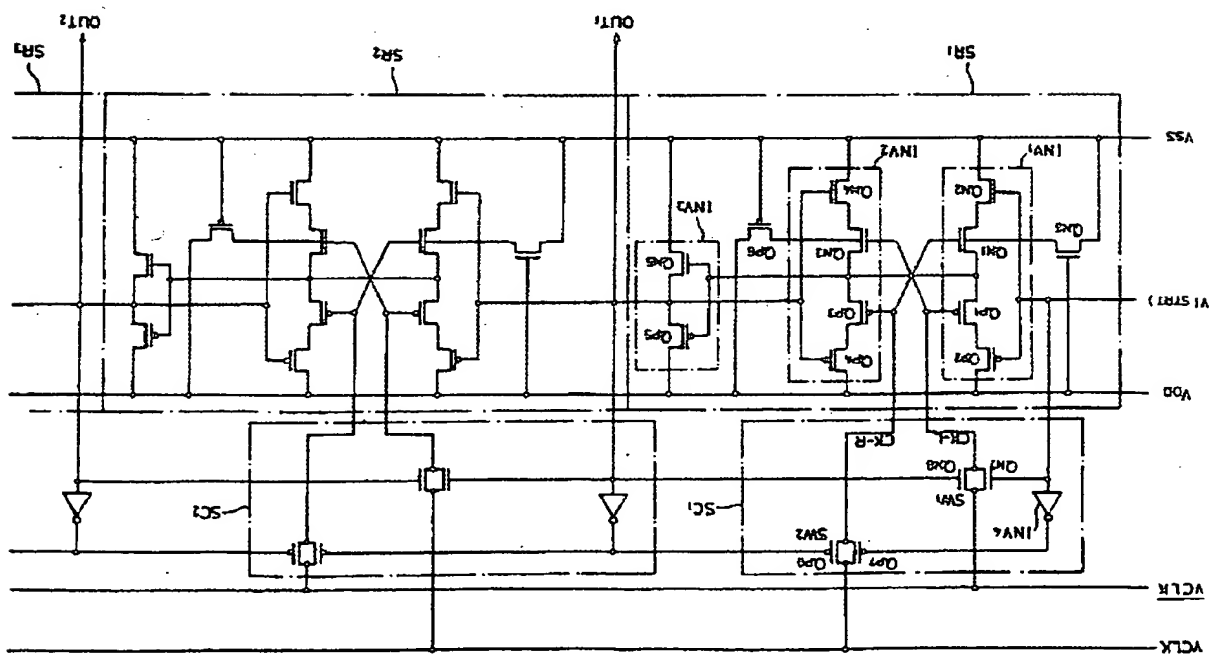


図 5

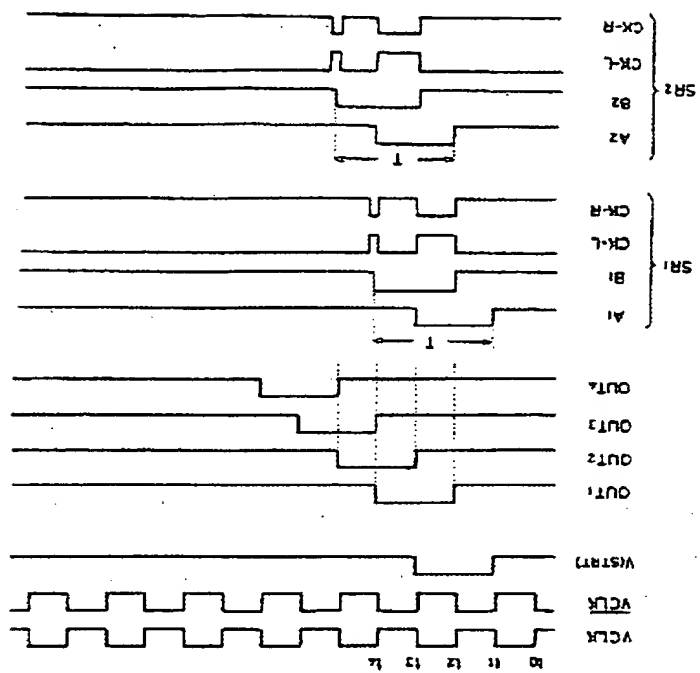


図 6

図 8

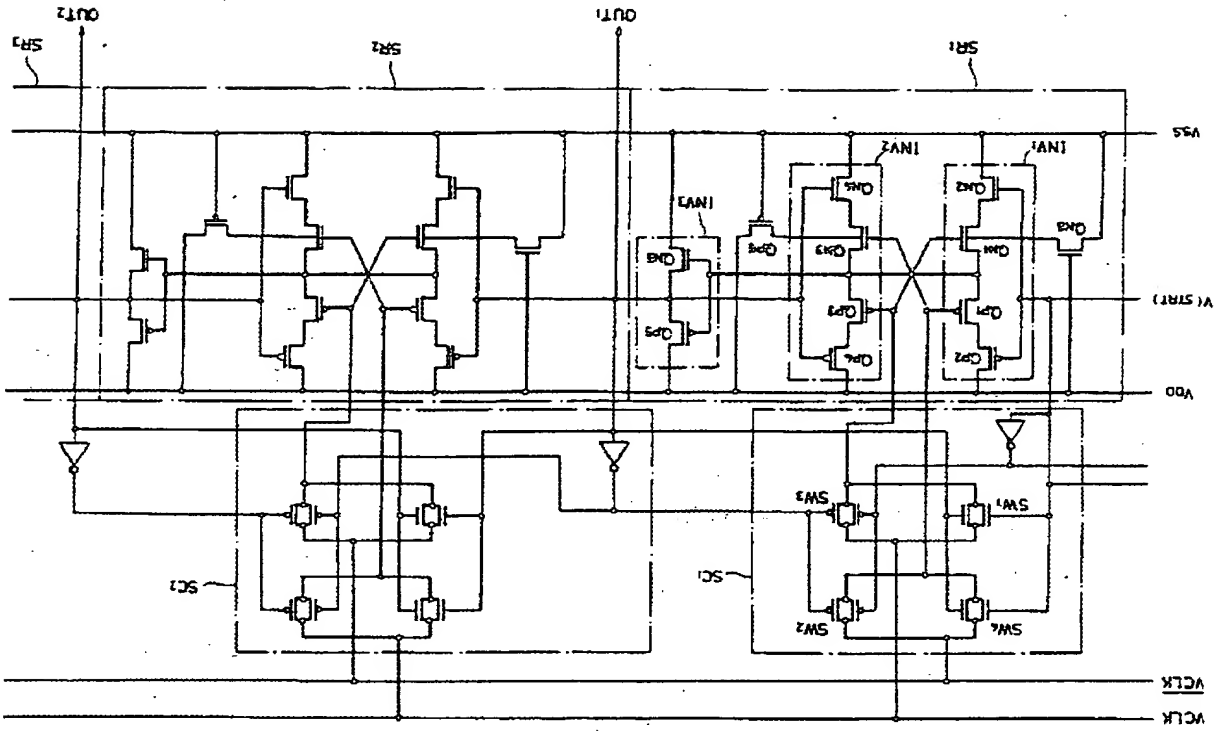
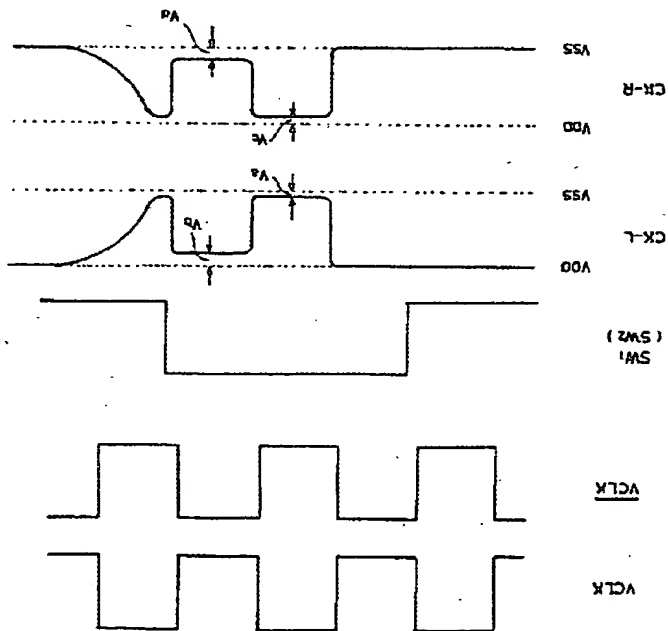
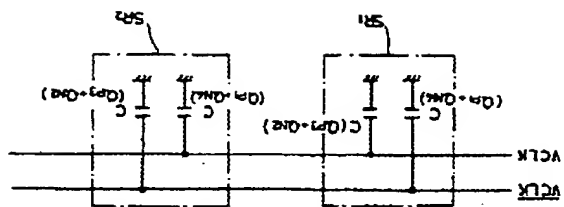


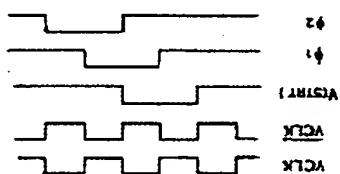
図 7



11



01 00



第 6 集

